

 HTL ST. PÖLTEN	Abt	Werkstatt	<b>Grundbegriffe der Leiterplattentechnik</b>	Modul 
	EL	<i><b>Altium</b></i>		

## In Modul 2 enthalten:

### 2.1) Grundbegriffe der Leiterplattentechnik

#### 2.1.1) Aufbau einer Leiterplatte / Lagenbezeichnungen

*2.1.1.1) Doppelseitige Leiterplatte*

*2.1.1.2) 6 Lagen - Multilayer (Mehrlagenleiterplatte)*

*2.1.1.3) Schema einer doppelseitigen Leiterplatte inkl. Lagenbezeichnungen*

#### 2.1.2) Begriffserklärungen

*2.1.2.1) Begriff „Außenlagen / Leiterbilder“*

*2.1.2.2) Begriff „Innenlagen“*

*2.1.2.3) Begriff „Basismaterial“*

*2.1.2.4) Begriff „Prepreg“*

*2.1.2.5) Begriff „Lötack“*

*2.1.2.6) Begriff „Lötstopplack“*

*2.1.2.7) Loch- & Bohrdurchmesser, Pad / Via, Paddurchmesser*

*2.1.2.8 Design Rule Check*

*2.1.2.8.1 Restring*

*2.1.2.8.2 Leiterbildstruktur*

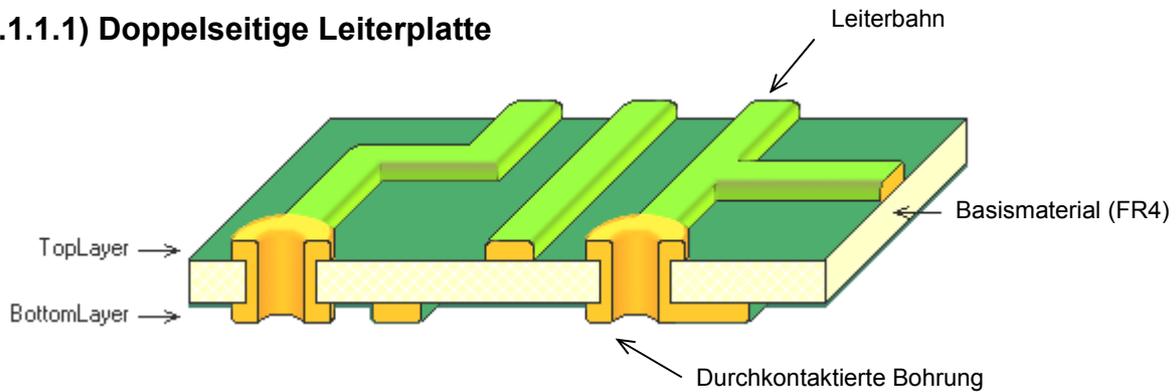
*2.1.2.9 Galvanisieren*

*2.1.2.10 HDI-Leiterplatten / Microvia Technologie*

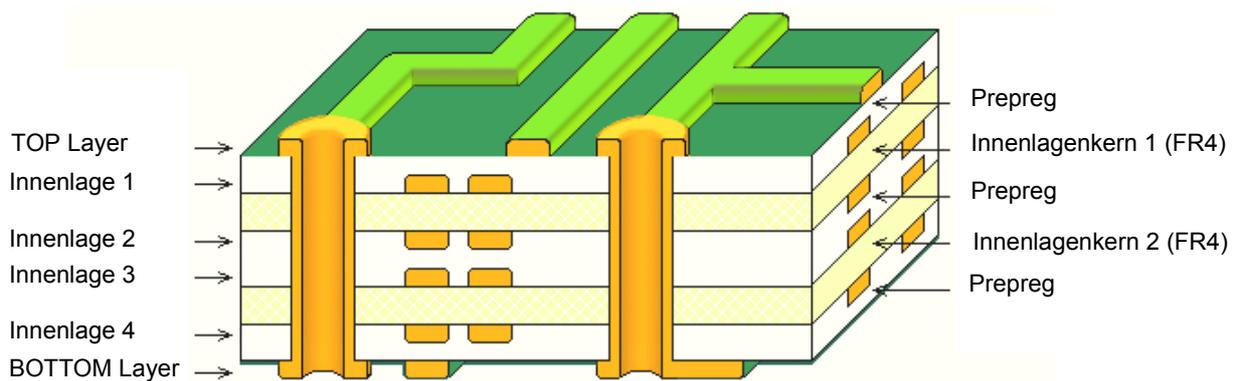
## 2.1 Grundbegriffe der Leiterplattentechnik

### 2.1.1 Aufbau einer Leiterplatte / Lagenbezeichnungen

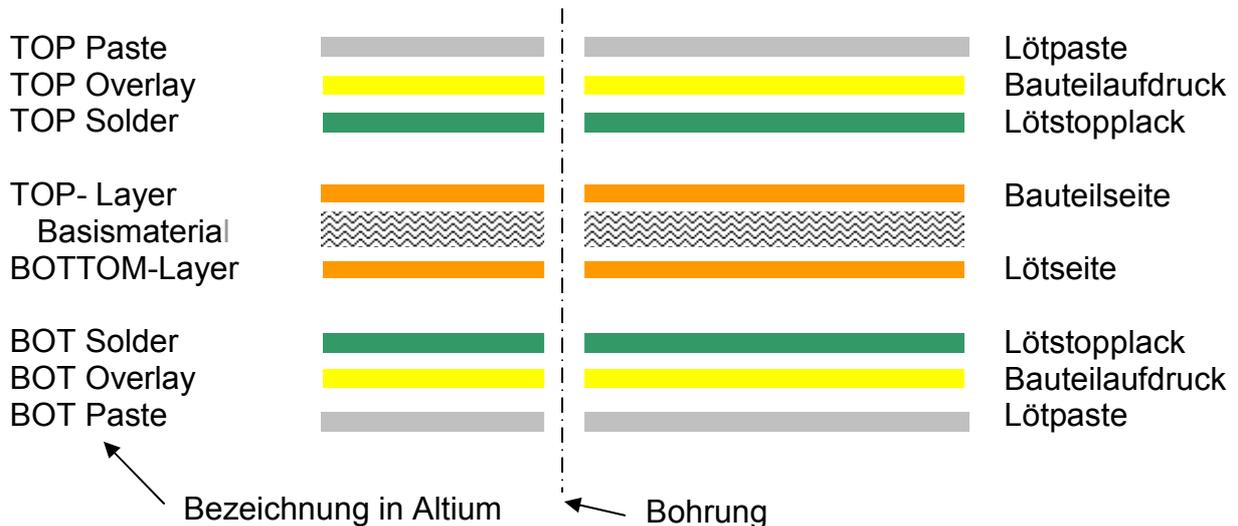
#### 2.1.1.1) Doppelseitige Leiterplatte



#### 2.1.1.2) 6 Lagen - Multilayer (Mehrlagenleiterplatte)



#### 2.1.1.3) Schema einer doppelseitigen Leiterplatte inkl. Lagenbezeichnungen



## 2.1.2 Begriffserklärungen

### 2.1.2.1 Begriff „Außenlagen / Leiterbilder“

Bei ein- und doppelseitigen Leiterplatten werden die Bauteil- (TOP Layer) und Lötseite (BOTTOM Layer) mit dem Ausdruck LEITERBILDER bezeichnet.

Bei einem Multilayer spricht man von AUßENLAGEN.

### 2.1.2.2 Begriff „Innenlagen“

Mit dem Begriff INNENLAGEN werden nur die elektrischen Lagen in einem Multilayer bezeichnet.

Frage: Wie viele Innenlagen hat ein 8-fach-Multilayer?

Antwort: 8 Lagen

- Top-Layer
  - Bottom-Layer
- 
- = 6 Innenlagen

### 2.1.2.3 Begriff „Basismaterial“

Unter „Basismaterial“ versteht man das Grundmaterial für die Leiterplatte.

Derzeit steigt die Industrie von FR4 auf FR5 um.

Grund: Schaltungen und Geräte werden immer kleiner und leistungsfähiger. Die erhöhte Leistungsfähigkeit steigert aber auch die Problematik der hohen Temperaturen in Geräten.

G-10	Glasgewebe, Epoxidharz
G-11	Glasgewebe, Epoxidharz, erhöhte Temperaturbeständigkeit
FR-2	Papier, Phenolharz, flammwidrig
FR-3	Papier, Epoxidharz, flammwidrig
FR-4	Glasgewebe, Epoxidharz, flammwidrig
FR-5	Glasgewebe, Epoxidharz, flammwidrig, erhöhte Temperaturbeständigkeit

*FR4 ist also ein ausgehärtetes Glasfaserharzgewebe mit vollflächiger Kupferauflage*

Bsp:

FR4, 1.5mm, 35/0:

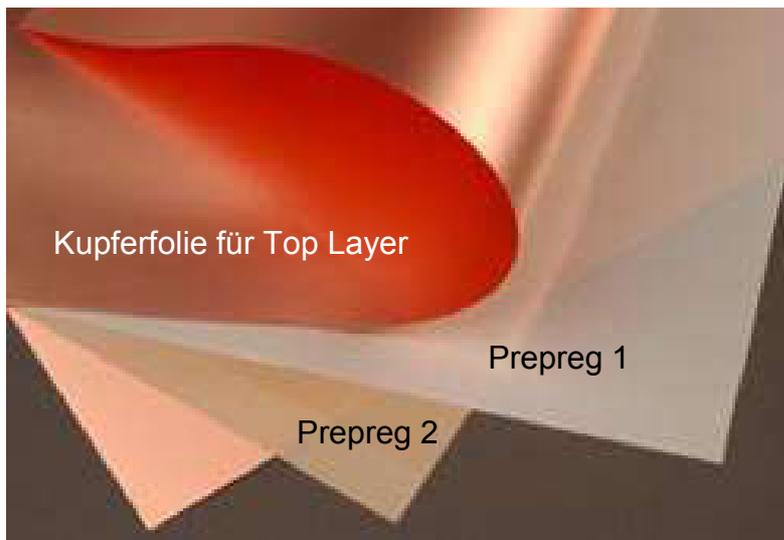
= FR4 ist 1.5mm stark mit einseitiger 35µm Kupferkaschierung

FR5, 0.8mm,35/35:

= FR5 mit 0.8mm Stärke und doppelseitiger Kupferkaschierung 35µm

#### 2.1.2.4 Begriff „Prepreg“

Unter „Prepreg“ versteht man ein Glasfaserharzgewebe mit hohem, nicht ausgehärtetem Harzanteil ohne Kupferkaschierung. Es dient beim Verpressen eines Multilayers als Kleber zwischen den einzelnen Lagen (somit auch als Isolierung) und auch als Niveaueausgleich.



Kupferfolie für BOTTOM Layer

#### 2.1.2.5 Begriff „Lötlack“

Der LÖTLACK SK10 ist ein lötfähiger Schutzlack. Er bildet einen gleichmäßig verlaufenden, transparenten Schutzfilm. Weichlötbare Metalle (z.B. Kupfer, Zinn, Blei, Messing, Stahl) werden vor Korrosion geschützt. Vor dem Löten braucht man den Schutzfilm nicht entfernen, da er gleichzeitig als hochwertiges Flussmittel wirkt.

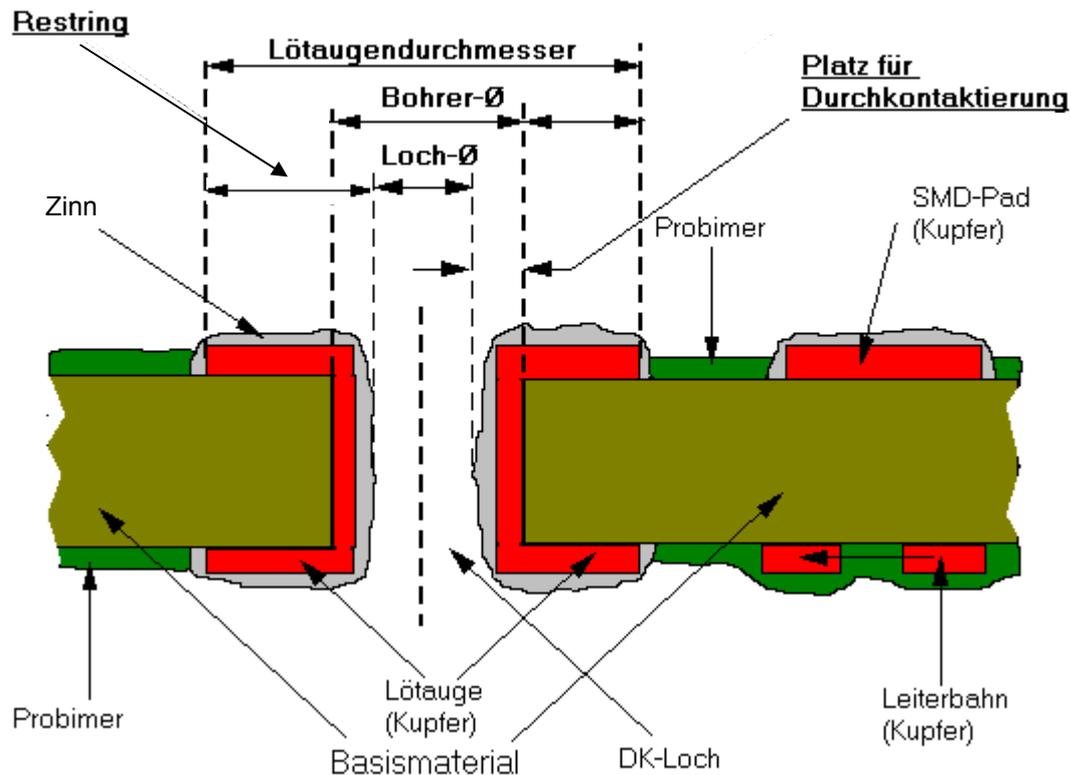


#### 2.1.2.6 Begriff „Lötstopplack“

Unter „Lötstopplack“ versteht man einen meist grünen, photoempfindlichen Lack (dieser macht die Platinen GRÜN), welcher zahlreiche elektrische Funktionen erfüllt. Er isoliert z.B. die einzelnen Leiter gegeneinander und schützt die Kupferoberfläche vor Korrosion. Er sorgt auch dafür, dass beim Schwalllöten keine Zinnbrücken (Kurzschlüsse) entstehen. Der meist verwendete Lack heißt PROBIMER.

Anstelle des Lacks gibt es auch Folien, die diese Funktionen erfüllen.

### 2.1.2.7 Lochdurchmesser, Bohrdurchmesser, Pad / Via, Paddurchmesser



Generell unterscheidet man ein DK- und ein NDK-Loch.

**DK** = durchkontaktiert, das bedeutet, dass der Top- und der Bottom-Layer elektrisch gesehen miteinander verbunden sind.

**Pad** = DK Lötauge, welches dazu dient, Bauteilanschlüsse aufzunehmen (Einsteckmontage) oder auf welche Bauteile gelötet werden (SMD-Technik)

**Via** = DK Lötauge, welches dazu dient, dem Stromfluss einen Lagenwechsel (z.B. vom Top- zum Bottom-Layer) zu ermöglichen.

**NDK** = Nicht durchkontaktiert, daher keine Durchkontaktierung in der Bohrung. Diese Bohrungen dienen meist dazu, die Platine in ein Gehäuse zu schrauben oder zum Beispiel einen Trafo auf der Platine zu befestigen.

**Frage:** Wer bestimmt den Loch-Durchmesser?

**Antwort:** Den Lochdurchmesser bestimmt der Entwickler der Leiterplatte bzw. der Durchmesser des Anschlussdrahtes des entsprechenden Bauteiles der Einsteckmontage.

**Frage:** Warum ist der Bohr(er)-Durchmesser größer als der Loch-Durchmesser?

Antwort: Bei einer durchkontaktierten Leiterplatte werden der Top- und der Bottom-Layer mit Hilfe der Bohrungen miteinander verbunden. Diese Verbindung erfolgt in der Lochwand und erfolgt mittels Palladium, Kupfer und Zinn. Diese Materialien benötigen Platz, wobei der Kunde ja den bestellten Loch-Durchmesser nicht verkleinert haben will. Der Leiterplattenhersteller (nur er weiß, wie viel Palladium, Kupfer und Zinn er aufbringt) vergrößert selbständig die Bohrung. Nach dem Durchkontaktierungsprozess ist das Loch wieder so groß wie gewünscht (= Loch-Durchmesser).

**Frage:** Wie groß muss in der HTL der Paddurchmesser mindestens sein?

Der Paddurchmesser muss immer um mind. 1mm größer sein als der entsprechende Lochdurchmesser!

### 2.1.2.8 Design Rule Check

Bei der computerunterstützten Leiterplattenentwicklung hat man die Möglichkeit viele Fehler zu vermeiden bzw. zu entdecken, wenn man den „Design Rule Check“ durchführt. So merkt man zum Beispiel, dass man Verbindungen noch gar nicht gemacht hat, oder Kurzschlüsse verursacht hat.

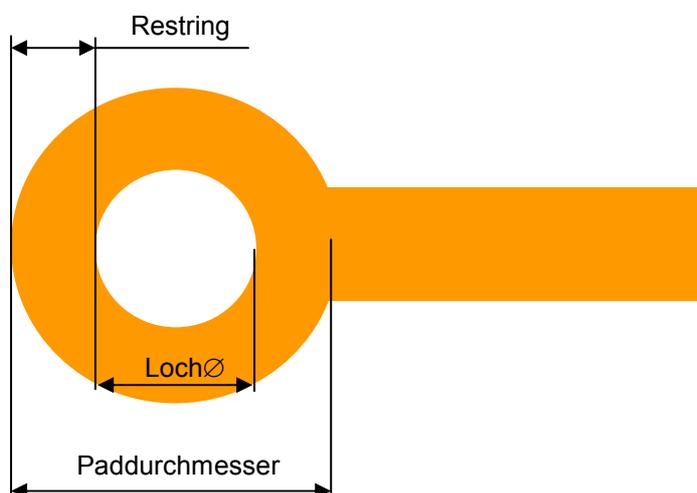
Weitere wichtige Prüfungen:

#### 2.1.2.8.1 Restring

Unter „Restring“ versteht man jenen Abstand, der durch das Durchbohren eines Pad oder Vias entsteht (Radiusbezogen).

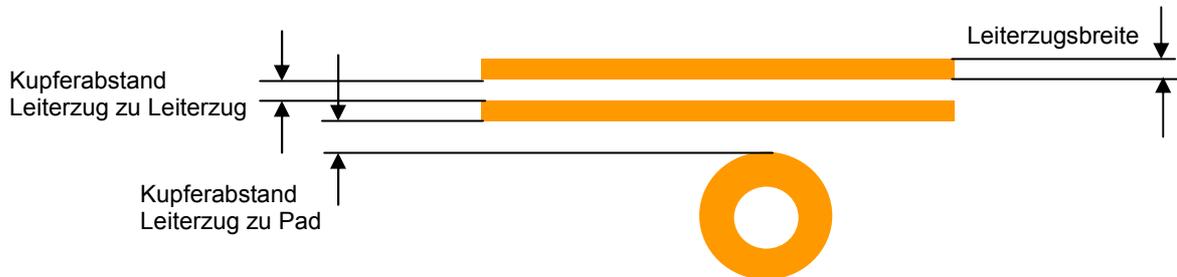
Restring = (Paddurchmesser – Lochdurchmesser) / 2

**HTL-Wert Restring min = 0.5mm**



### 2.1.2.8.2 Leiterbildstruktur

Unter „Leiterbildstruktur“ versteht man die **Leiterzugsbreiten** und die **Kupferabstände** (Pad zu Pad, Pad zu Leiterbahn, Leiterbahn zu Leiterbahn – zu Schrift ...) zueinander.



### HTL - Minimalwerte für Leiterbildstruktur:

Abstände: Pad zu Pad, Pad zu Leiterbahn, Pad zu Schrift, Leiterbahn zu Leiterbahn, Kupfer zu Platinenaußenkante (=Kontur) = **0.38mm**

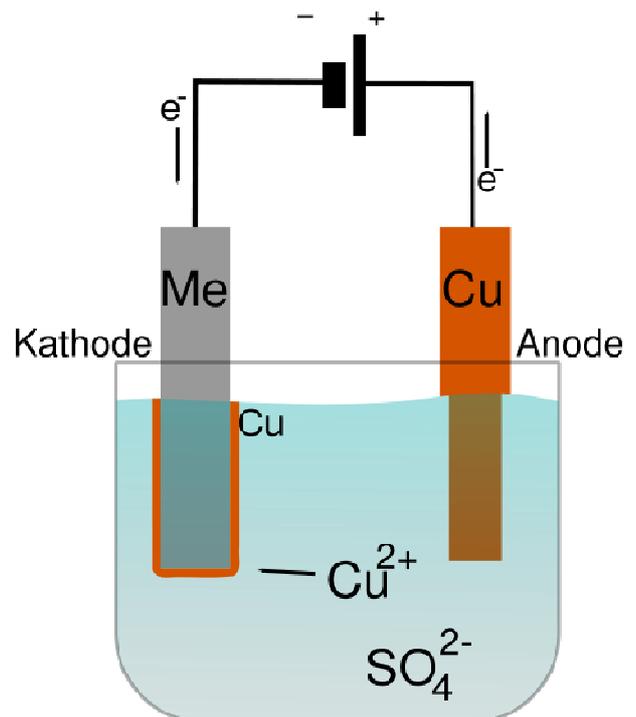
Abstände: von Kupferflächen zu obig genannten Objekten = **0.75mm**

Kupferbreiten: egal ob Leiterzug, Schrift oder Umrandungslinie = **0.4mm**

Kupferbreiten: Anbindungen für Wärmefallen (Polygon Connect Style) = **0.5mm**

### 2.1.2.9 Galvanisieren

Unter Galvanisieren versteht man die elektrochemische Abscheidung von metallischen Niederschlägen (Überzügen) auf Gegenständen. Bei der Galvanik wird durch ein elektrolytisches Bad Strom geschickt. Am Pluspol (Anode) befindet sich das Metall, das aufgebracht werden soll (z. B. Kupfer oder Nickel), am Minuspol (Kathode) der zu beschichtende Gegenstand. Der elektrische Strom löst dabei Metallionen von der Verbrauchselektrode ab und lagert sie durch Reduktion auf der Ware ab. So wird der zu veredelnde Gegenstand allseitig gleichmäßig mit Kupfer oder einem anderen Metall beschichtet. Je länger sich der Gegenstand im Bad befindet und je höher der elektrische Strom ist, desto stärker wird die Metallschicht (z. B. Kupferschicht).



### 2.1.2.10 HDI-Leiterplatten / Microvia Technologie

HDI = („High Density Interconnect“ – Leiterplatten mit hoher Integrationsdichte)

#### Was sind Microvias? – eine Definition:

Microvias sind durch das Institute for Interconnecting and Packaging Electronic Circuits (IPC) definiert als Vias mit einem Durchmesser  $< 150\mu\text{m}$ .

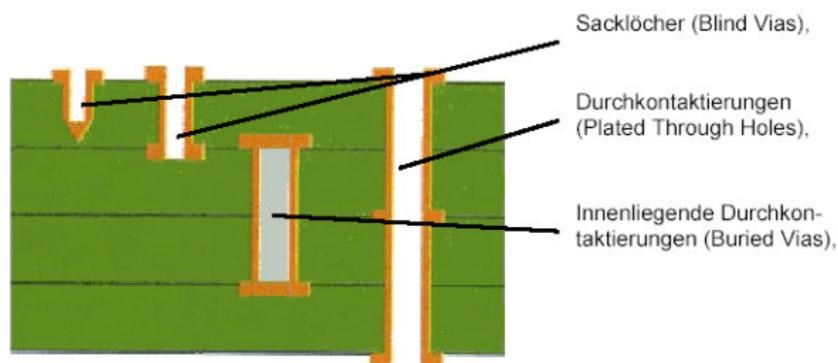


Bild 1: Arten von Durchkontaktierungen (Vias)

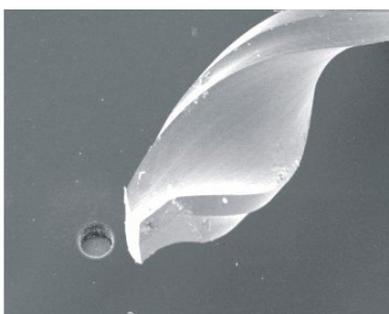
#### Warum wurde die Microvia Technologie entwickelt?

Der steigende Einsatz von Microvia Leiterplatten wird durch zwei grundsätzliche Trends im Elektronikmarkt getrieben :

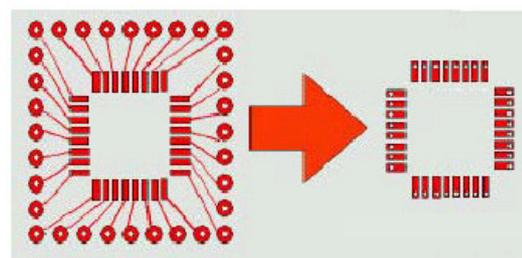
- **Miniaturisierung** und steigende Funktionsdichte auf Baugruppenebene (moderne Elektronikbausteine mit bis zu 2000 I/O Ports) und damit verbunden eine enorm steigende Integrations- bzw. Verdrahtungsdichte.
- **höhere Taktfrequenzen** aufgrund steigender Datentransferraten.

Die Lösung für beide Herausforderungen stellt die **Microvia Technologie** dar.

Microvias (oder Sacklöcher) mit einem Durchmesser von weniger als  $150\mu\text{m}$  – benötigen inkl. Viapad im Vergleich zu mechanisch gebohrten Löchern nur rund 25% von deren Fläche.



Größenvergleich:  $100\mu\text{m}$  Microvia zu  $350\mu\text{m}$  Bohrer



Microvias reduzieren den Flächenbedarf